

⑬ Int. Cl. 1

H 01 L 21/82
27/04

識別記号

庁内整理番号

7925-5F
A-7514-5F

⑭ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-171980

⑰ 出 願 昭62(1987)7月9日

⑱ 発 明 者 大 内 康 憲 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 栗田 春雄

明 細 書

1 発明の名称

半導体装置

2 特許請求の範囲

(1) 多数のトランジスタを有するセル領域と、これらに配線を行き配線領域とを、上下辺に沿って交互に平行に配置し、顧客の要求により前記配線領域の配線パターンのみを設計して形成する四角形のチップからなるゲートアレイあるいはスタンダードアレイ設計方式の半導体装置において、前記四角形のチップをその対角線に沿って4つに区分し、これら4つの三角形の各部分にチップの周囲辺に平行に前記セル領域および配線領域を交互に配置することを特徴とする半導体装置。

(2) 電源配線および接地配線を対角線に沿って設けた特許請求の範囲第(1)項記載の半導体装置。

3 発明の詳細な説明

産業上の利用分野

本発明はゲートアレイヤスタンダードセルの設計方式を用いて、顧客の注文に応じて論理回路を任意に形成するLSIチップからなる半導体装置に関し、特にゲートアレイヤスタンダードセルのセル配置および電源配線に関するものである。

従来の技術

近年、各種の電子装置の多様化に対して種々の論理回路を有する半導体装置が用いられ、少量多品種化の傾向にある。これに対処するために、トランジスタを有する基本構成(セル)を規則的に配列した半導体基板上に、顧客の要求にあった配線パターンを設計形成して、半導体装置を形成することが広く行われている。

従来、この種の半導体装置の一例は第4図に示すように、チップの上下辺に沿ってゲートアレイヤスタンダードセルが配列されるセル領域1と、配線領域2とが交互に平行に配置され、周囲に入出力端子領域4を有するものであった。そしてセ

セル領域1の同一の列間および異った列間にある各々のセル相互間の接続配線は、主に配線領域2内で行われ、かつこの配線領域2においては、一般にセル領域1に平行するX軸とこれに直交するY軸との2つの方向の配線パターンを別々の2層に設け、折曲げ部にスルーホールを用いて配線するものであった。

したがって配線領域2の配線パターンの分布は、第5図に示すように両側部6で少なく中央部5に集中する傾向があり、配線領域2の幅は中央部5の配線径に合わせて比較的広くとる必要があり、両側部6では配線密度が少なく有効に使用されず、そのためセル領域が減少するという欠点があった。

また、チップ周辺にある入出力端子領域4上の電源端子および接地端子からチップ内のセル領域1に電源電圧を供給するための電源配線および接地配線も、同じくセル領域1に沿って配置されるため、チップの中央部までの配線パターンの距離が長くなり、配線に生ずる電圧の降下によりセル回路の動作マージンを低下させる原因となってい

た。

発明が解決しようとする問題点

本発明の目的は、上記の欠点、すなわち平行に配置されるセル領域間の配線領域の幅を広くとらなければならない、セル領域が減少するという問題点、また電源端子および接地端子からセル領域迄の電源供給のための配線が長くなり、電圧の降下が起き易いという問題点を解決した半導体装置を提供することにある。

問題点を解決するための手段

本発明は上述の問題点を解決するために、四角形のチップを対角線で4つに区分し、この区分された4つの三角形部分に、内部セル領域と配線領域とを、周囲辺に沿って平行に配置し全体として環状とした構成を採用するものであり、特にこのチップ上の対角線に沿って電源配線を通す構成を採用するものである。

作用

本発明は上述のように構成したので、セル領域がチップの最外周から中央に向かって、長さが順に

短くなる四角の環状に配置されているため、セル領域間の配線領域における配線分布は、中心に対して対称すなわち一様になり平均化される。

また電源配線パターンを対角線に沿って通すことにより、配線距離が短縮して電圧の降下が減少し、回路の動作が安定する。

実施例

次に本発明の実施例について図面を参照して説明する。

本発明の一実施例を平面図で示す第1図を参照すると、本発明の半導体装置は、四角形のチップを対角線で4つに区分し、この区分された4つの各三角形部分に、内部セル領域1と配線領域2とを周囲辺に沿って平行に配置した構成、すなわちチップの最外周から中央に向かって長さが順に短くなるセル領域を周囲辺に沿って四角に環状に並べた構造になっている。また外周には入出力端子領域4を有している。

次に本実施例の動作について第1図を用いて説明する。

セル領域1内にある個別のセル間の相互配線は、配線領域2もセル領域1と同様に環状になっているため、配線の均一化が図られ、配線領域2の幅を従来よりも狭めることが可能になる。

更に、第3図に示すように、チップの上下辺に沿った三角形部分AおよびCと左右辺に沿った三角形部分BおよびDにおいて、直交するX軸およびY軸の2層配線の層をセル領域の配線（長さの）方向Fに合わせて上下層を逆向きに定めることにより、同一配線層を用いてチップ内を環状に一周することが可能になり、X軸、Y軸折曲げのためのスルーホールの数を少なくすることが可能になる。

次に第2図は第1図のチップに設けられる電源および接地の配線の構成を示しており、電源および接地配線パターン3は入出力端子領域4の電源端子Vおよび接地端子Gに接続されて、チップの周囲および対角線に沿って設けられている。したがって、この電源（接地）配線パターン3からセル領域の各セル迄の配線が短縮化され、電圧降下

が減少し、セル回路の動作を確実にすることができる。

なお、この対角線上の電源および接地配線パターン3は、一般の2層の配線層の上の第3層に並べて設けることもできるし、前述の各三角形部分の配線のX軸、Y軸の逆転の場合に、配線のない対角線面に設けるなど任意の方法が実施される。

ただし中心の対角線配線の交点については、電源、接地いずれかをスルーホールを用いて他の面と接続するか、飛越し配線を行わせるなどによって実施される。

発明の効果

以上に説明したように、本発明によれば、四角形のチップを対角線で区分した4つの三角形部分に、周囲辺に沿って平行にセル領域および配線領域を現状に配置することにより、配線領域の幅を狭くでき、セル密度の増加が図れるという効果がある。また電源(接地)配線パターンを対角線に沿って設けることにより、電源および接地の配線長をより短くし、セル回路の動作を確実にするこ

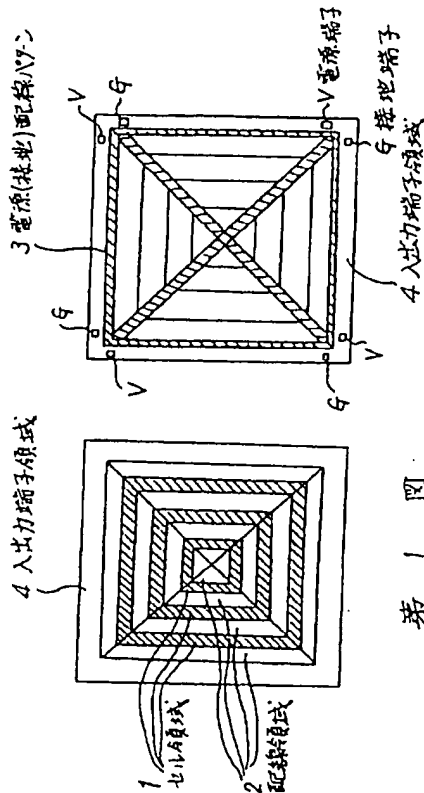
う効果がある。更に配線領域のX軸とY軸とを三角形部分で交互に逆に定めることにより配線のためのスルーホール数を少なくし、信頼性を向上できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の平面図、第2図は本発明の構成における電源(接地)配線を示す図、第3図は本発明のセル領域の配線方向を示す図、第4図は従来のセル領域と配線領域とを示す図、第5図は第4図の場合の配線分布を示す図である。

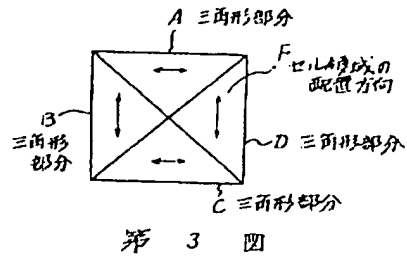
1……セル領域、2……配線領域、3……電源(接地)配線パターン、4……入出力端子領域、A、B、C、D……三角形部分、F……セル領域の配置方向、G……接地端子、V……電源端子。

代理人 弁理士 栗田 春 雄

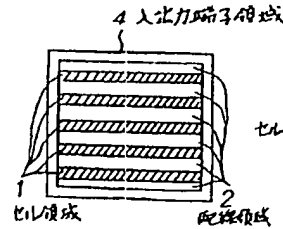


第1図

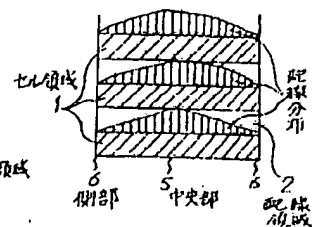
第2図



第3図



第4図



第5図

CLIPPEDIMAGE= JP401015947A

PAT-NO: JP401015947A

DOCUMENT-IDENTIFIER: JP 01015947 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 19, 1989

INVENTOR-INFORMATION:

NAME

OUCHI, YASUNORI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP62171980

APPL-DATE: July 9, 1987

INT-CL (IPC): H01L021/82;H01L027/04

US-CL-CURRENT: 257/210

ABSTRACT:

PURPOSE: To increase the cell density by annularly placing cell regions and wiring regions in the four triangular sections obtained by partitioning a quadrangular chip with the diagonal lines, along and in parallel with the perimetrical sides, thereby narrowing the width of the wiring regions.

CONSTITUTION: The device is provided with a construction in which a quadrangular chip is partitioned into four with the diagonal lines and internal cell regions 1 and wiring regions 2 are placed in the four respective triangular sections along and in parallel with the perimetrical sides, that is, a structure in which cell regions the lengths of which

sequentially become shorter from the outermost perimetry to the center are annularly arranged in a quadrangle along the perimetrical sides. The interconnections between the individual cells in the cell regions are uniformized since the wiring regions 2 are also annular as with the cell regions 1, and it is possible to narrow the width of the wiring regions 2. Then, a power supply and grounding wiring pattern 3 is connected to a power supply terminal V and a ground terminal G of an input/output terminal region 4 and provided along the perimeter of the chip and the diagonal lines. Accordingly, the wiring is shortened, the voltage drop decreases, and the operation of the cell circuit is assured.

COPYRIGHT: (C)1989, JPO&Japio

THIS PAGE BLANK (USPTO)